

ABSTRAK

Algoritma Convolutional Neural Network (CNN) memerlukan beban komputasi masif yang membutuhkan akselerasi perangkat keras, namun arsitektur silikon berkinerja tinggi seperti Diagonal Cyclic Array (DCA) umumnya bersifat statis dan sulit beradaptasi terhadap perubahan dimensi jaringan. Penelitian ini bertujuan merancang Unit Pengendali Utama (Main Controller) guna menjembatani tingginya efisiensi perangkat keras DCA dengan fleksibilitas algoritma perangkat lunak. Sistem dibangun menggunakan arsitektur Moore Finite State Machine (FSM) yang mengatur aliran data secara hierarkis menuju Data Recycle Buffer, matriks Processing Element (PE). Logika kontroler ini diintegrasikan bersama register dinamis menggunakan bahasa deskripsi perangkat keras (Verilog HDL) untuk ditargetkan pada FPGA Xilinx Kria KV260. Hasil pengujian dan implementasi mampu mengatur proses pengisian buffer sesuai batas piksel yaitu 56 piksel, sinkronisasi aliran data menuju PE Array, menghasilkan sinyal valid cropping sesuai jumlah ukuran hasil proses konvolusi, dan menghasilkan layout area chip kurang dari 10 mm² dan daya di bawah 5 watt.

Kata Kunci: *Akselerator CNN, Arsitektur DCA, Edge AI, Field Programmable Gate Array), Finite State Machine, Unit Pengendali Utama.*