

ABSTRAK

Perkembangan teknologi komputasi yang pesat menuntut pengembangan arsitektur prosesor yang efisien, hemat daya, dan fleksibel. RISC-V, sebagai arsitektur open standard instruction set, menjadi pilihan utama dalam pengembangan prosesor modern, karena bebas dari lisensi dan mendukung kustomisasi yang luas. Laporan ini membahas perancangan siklus Execute (EX), Memory Access (MEM), dan Write Back (WB) pada mikroprosesor 32-bit berbasis RISC-V. Desain mikroprosesor ini memanfaatkan prinsip pipeline execution lima tahap untuk meningkatkan throughput dan mengurangi siklus per instruksi. Perancangan dilakukan menggunakan bahasa deskripsi perangkat keras (HDL) Verilog, dengan pendekatan kombinasi gate-level dan behavioral-level guna memastikan efisiensi dan akurasi desain. Proses pengembangan meliputi analisis arsitektur, pemilihan konfigurasi register, kontrol sinyal, dan jalur data, serta validasi kinerja melalui simulasi dan implementasi pada perangkat lunak Cadence dan Vivado. Desain akhir dikonversi ke dalam format GDSII untuk tahap layout dan siap digunakan pada fabrikasi IC. Hasil pengujian menunjukkan bahwa mikroprosesor yang dirancang mampu mencapai clock speed 50 MHz dengan konsumsi daya tidak melebihi 600 mW, serta mendukung operasi aritmetika, logika, dan kontrol alur program sesuai spesifikasi ISA RISC-V. Desain ini dioptimalkan untuk aplikasi edge-computing dengan mempertimbangkan efisiensi daya dan kecepatan eksekusi instruksi. Dengan dukungan arsitektur modular dan pengembangan berbasis open standard, laporan ini diharapkan dapat memberikan kontribusi dalam pengembangan teknologi prosesor lokal yang hemat daya dan memiliki performa yang lebih tinggi.

Kata Kunci: *RISC-V, pipeline, execute, memory access, write back, Verilog HDL, Cadence, GDSII.*