

ABSTRAK

Pesatnya perkembangan teknologi digital telah mendorong kebutuhan akan perangkat pengolahan data yang efisien, fleksibel, dan berdaya rendah. RISC-V sebagai arsitektur instruksi terbuka (open standard) menawarkan solusi yang dapat dikustomisasi untuk pengembangan sistem mikroprosesor modern. Dalam tugas akhir ini, dilakukan perancangan mikroprosesor 32-bit berbasis RISC-V dengan fokus utama pada pengembangan tahap awal siklus pipeline, yaitu siklus Fetch (pengambilan instruksi) dan Decode (penguraian instruksi), serta integrasi komunikasi Universal Asynchronous Receiver Transmitter (UART). Tahapan Fetch bertugas mengambil instruksi dari memori berdasarkan alamat Program Counter (PC) untuk selanjutnya disimpan dalam register pipeline. Sedangkan tahap Decode menguraikan instruksi menjadi sinyal kontrol dan operand yang akan digunakan dalam eksekusi instruksi. Integrasi UART memungkinkan komunikasi data serial antara mikroprosesor dengan perangkat eksternal seperti komputer atau terminal. Modul ini mengatur proses penerimaan (Rx) dan pengiriman (Tx) data serial sehingga mendukung pengujian sistem secara real-time dan memperluas kemampuan interaksi perangkat. Metodologi yang digunakan meliputi perancangan dan implementasi siklus Fetch dan Decode menggunakan bahasa Verilog, integrasi UART berbasis FIFO untuk mendukung buffering data, serta pengujian sistem secara menyeluruh melalui simulasi dan implementasi pada FPGA. Hasil yang diperoleh menunjukkan bahwa sistem dapat mengeksekusi instruksi secara kontinu, menerima data serial dengan akurasi tinggi, dan mengirimkan data (echo) ke register dan terminal secara real-time dengan clock-speed 50MHz, 2067 LUT, serta 2731 flip-flop. Dengan memanfaatkan arsitektur modular RISC-V, sistem ini diharapkan dapat mendukung pengembangan lebih lanjut dalam bidang mikrokontroler, sistem tertanam, dan komunikasi data.

Kata Kunci: *RISC-V, Fetch, Decode, UART, FPGA, komunikasi data serial*