

ABSTRAK

Perkembangan kecerdasan buatan (Artificial Intelligence/AI) menuntut solusi komputasi yang cepat, efisien, dan hemat daya, khususnya dalam pengolahan Artificial Neural Network (ANN). Penelitian ini merancang dan mengimplementasikan arsitektur AI Accelerator berbasis systolic array yang dioptimalkan untuk tahap forward propagation pada ANN. Desain terdiri dari susunan Processing Element (PE) dalam konfigurasi 4×5 pada hidden layer dan 5×2 pada output layer, dengan setiap PE melakukan operasi Multiply-Accumulate (MAC) yang didukung register delay untuk sinkronisasi data. Proses desain dilakukan menggunakan deskripsi perangkat keras Verilog pada lingkungan Electronic Design Automation (EDA) Cadence, sedangkan pengujian waktu eksekusi dilakukan melalui Vivado dan dibandingkan dengan implementasi algoritmik pada MATLAB dan Python. Hasil pengujian menunjukkan bahwa arsitektur berbasis Verilog memiliki waktu komputasi lebih singkat, yaitu 745 ns dengan rata-rata 125 ns per data, dibandingkan MATLAB sebesar 0,002684 s dan Python 0,055050 s. Perbandingan metrik lainnya juga menunjukkan efisiensi pada penggunaan daya yaitu 2,30 μ W dan energi per siklus yaitu ≈ 46 fJ pada 50 MHz. Temuan ini membuktikan bahwa optimasi arsitektur ANN di level RTL dengan systolic array dapat meningkatkan kinerja pemrosesan sekaligus menghemat sumber daya perangkat keras, sehingga berpotensi menjadi solusi efektif untuk akselerasi AI di masa depan.

Kata Kunci : Artificial Neural Network, AI Accelerator, Systolic Array, Verilog, Vivado.